

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-078136

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

H04N 1/393

G06F 15/66

G09G 5/36

(21)Application number : 04-225473 (71)Applicant : NEC CORP

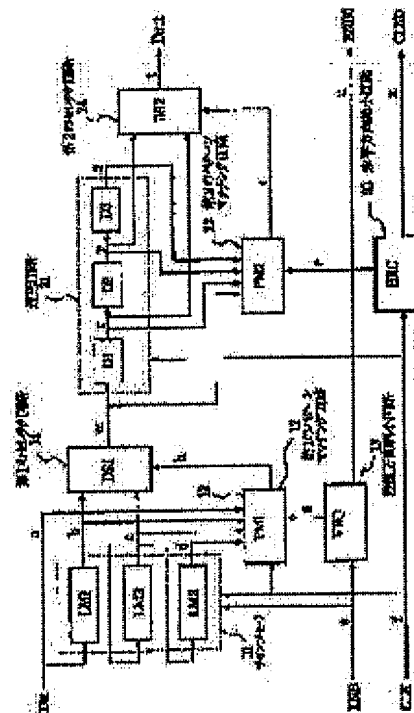
(22)Date of filing : 25.08.1992 (72)Inventor : OGASAWARA HIROMICHI

(54) PICTURE REDUCTION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To prevent drop-out of narrow lines like ruled lines and flattening of fine characters or the like by selectively switching thinned picture elements between two thinning object picture element strings to reduce a picture.

CONSTITUTION: In a line memory 11, binarized picture data D_{in} is stored in plural line memories LM1 to LM3 to generate thinned picture element strings (b) and (c) and reference picture element strings (a) and (d). A first pattern matching circuit (PM1) 12 and a first selector circuit (DS1) detect a preliminarily set first specific pattern from picture element strings in the line memory 11 to select and output one thinned picture element string (b) or (c). A delay circuit 21 (D1 to D3) outputs picture element components (m), (n), (p), and (q) in the main scanning direction of the selected thinned picture element string (b) or (c) in parallel. A second pattern matching circuit (PM2) 22 and a second selector circuit (DS2) 24 detect a preliminarily set specific pattern from the output of four picture element components (m), (n), (p), and (q) to select and output the thinned picture element component (n) or (p) as picture data D_{out} .



LEGAL STATUS

[Date of request for examination] 27.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2982509

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 24.09.2005

特開平6-78136

(2)

1

【特許請求の範囲】

【請求項1】 白情報および黒情報の画情報が2値化された画データの間引き対象の2ラインを間引画素列とし、前記間引画素列の画素が周辺の前記画情報に対して孤立した画素にならないように一方の前記画素列の間引くことを特徴とする画像の縮小処理方式。

【請求項2】 入力の前記画データを複数のラインメモリに記憶し前記間引画素列および参照画素列として生成し出力する手段と、予め設定された第1の特定パターンを前記ラインメモリの画素列から検出し一方の前記間引画素列を選択し出力する手段と、選択された前記間引画素列の主走査方向の4画素分を並列に出力する手段と、予め設定された第2の特定パターンを前記4画素分の出力から検出し間引画素を選択し出力する手段とを有することを特徴とする請求項1記載の画像の縮小処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像の縮小処理方式に関し、特にファクシミリ装置において画像の縮小処理を行う画像の縮小処理方式に関する。

【0002】

【従来の技術】 従来の画像の縮小方式は、縮小倍率により周期的に一つの間引き対象画素列を決め、その画素列またはその周辺の画素情報とは全く無関係に間引き参照画素列を単純に間引いて縮小処理をおこなっていた。

【0003】

【発明が解決しようとする課題】 上述した従来の画像の縮小処理方式は、縮小倍率により周期的に一つの間引き参照画素列を決めて、その画素列またはその周辺の画素情報とは全く無関係に間引き参照画素列を単純に間引いて縮小処理をしていたが、間引き対象画素列の画情報が欠落して罫線や網線等の周囲画素に対して孤立した画情報が再現できなくなる欠点があった。したがって、縮小処理をすることによって罫線の潰れやかすれ、またはつぶれなどの問題があった。

【0004】

【課題を解決するための手段】 本発明の画像の縮小処理方式は、白情報および黒情報の画情報が2値化された画データの間引き対象の2ラインを間引画素列とし、前記間引画素列の画素が周辺の前記画情報に対して孤立した画素にならないように一方の前記画素列の間引くことを特徴とする。

【0005】 また、入力の前記画データを複数のラインメモリに記憶し前記間引画素列および参照画素列として生成し出力する手段と、予め設定された第1の特定パターンを前記ラインメモリの画素列から検出し一方の前記間引画素列を選択し出力する手段と、選択された前記間引画素列の主走査方向の4画素分を並列に出力する手段と、予め設定された第2の特定パターンを前記4画素分の出力から検出し間引画素を選択し出力する手段とを有

する。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。

【0007】 本実施例は、白情報および黒情報の画情報が2値化された画データDinを複数のラインメモリLM1～3に記憶し、間引画素列b、cおよび参照画素列a、dとして生成し出力するラインメモリ11と、予め設定された第1の特定パターンをラインメモリ11の画素列から検出し一方の間引画素列b又はcを選択し出力する第1のパターンマッチング回路12及び第1のセクタ回路14と、選択された間引画素列b又はcの主走査方向の4画素分m、n、p、q並列に出力する遅延回路21と、予め設定された第2の特定パターンを4画素分m、n、p、qの出力から検出し間引画素n又はpを選択し出力する第2のパターンマッチング回路22及び第2のセクタ回路24とを有して構成される。

【0008】 次に本実施例の動作について説明する。一般に、ファクシミリ通信などに使われる画像情報は白情報と黒情報とを電気信号の0と1とで表し、二次元平面的な画像を水平方向（主走査方向）と順次垂直方向（副走査方向）とにスキャンして伝送している。この入力画データDinをラインメモリ（LM1、LM2、LM3）11に入力して副走査方向に隣接する4ライン分の画素列a～dを生成して出力する。

【0009】 ここで、aをiライン目の画素列とするとbはi-1ライン目、cはi-2ライン目、dはi-3ライン目の画素列になる。ここでbとcを間引き参照画素列として第1のセクタ回路（DS1）14に入力して、a、b、c、dを第1のパターンマッチング回路（PM1）12に入力し、ある特定パターン（予め設定する）の場合に画素選択信号hをセクタ回路14に指示して間引き参照画素列b、cのどちらの画素を選択するかを切り替える。

【0010】 垂直方向縮小回路（VRC）13は、ラインごとのイネーブル信号（ENB）eから縮小倍率により間引きラインの前のラインの区間だけ画素切替信号gを（PM）12に出力し、（PM1）12ではこの区間以外は画素選択信号により画素列bを選択するように固定する。

【0011】 また、（VRC）13では間引きラインに相当するイネーブル信号をマスクして新しいイネーブル信号uを出力する。以上の結果（DS1）14から得られた画素列mは、通常は画素列bを出力しており、間引きラインの前ラインのみ画素列bとcから画素単位に選択された副走査方向の間引き縮小処理された画素を出力する。

【0012】 同様に（DS1）14の出力の画素列mは画素遅延回路（D1、D2、D3）21に入力され主走査方向に4画素分の画素m、n、p、qを生成して出力

特開平6-78136

(3)

3

する。n, pを間引き対象画素として第2のセレクト回路(DS2)24に入力して、m, n, p, qから第2のパターンマッチング回路(PM2)22で特定パターン(予め設定する)のとき画素選択信号sを(DS2)22に出力してnとpのどちらの画素を選択するかを切り替える。

【0013】ここで、画素転送クロック(CLK)fは水平方向縮小回路(HRC)23で縮小倍率により間引き画素のクロックをマスクして画素転送クロックxを出力し、間引き画素の前画素の区間のみ(PM2)22に画素切替信号rを指示して、(PM2)22はこの区間以外に画素選択信号sで画素nを選択するように固定する。以上の結果(DS2)24から得られた画素データ出力Data(i)は、通常は画素nを出力しており、間引き画素の前画素のみ画素nとpから選択された画素を出力する。(主走査方向の間引き処理)

次にパターンマッチング回路(PM1, PM2)13, 23と動作について図2を参照して説明する。PM1, PM2に入力される画素をi番目~i-3番目とするとその組合せは16通りのパターンがある。ここで、間引き対象画素はi-1とi-2の画素でありこのどちらかが間引かれて欠落することになる。

【0014】このとき、間引く画素の論理値とその両隣りの画素のどちらか一方が同じ論理値の場合は間引き可能画素と判断し、両隣りとも論理値が異なる場合は間引き不可の画素と判断することにより、間引き可能な画素は縦掛けした部分になる。

【0015】6番目と11番目は一画素ごとに論理値が変化しているため、どちらの間引いても画素の論理欠落が発生する。これ以外は、間引き可能画素の一つの間引いても画素の論理情報は残り解像度は確保できる。したがって、非常にまれな一画素ごとに論理値が変化する画素パターンを除けば、間引き可能画素を画素パターンにより切り替えることにより野線などの細線の欠落や文字のつぶれを起こさずに縮小することができる。

【0016】なお、間引き対象画素のi-1とi-2のどちらの間引いてもよい場合は、間引き画素の切り替えにより発生する画素列の不連続性のジッタを少なくする為できるだけ前面画の間引き画素と同じ画素列の間引き

ことが望ましい。

【0017】

【発明の効果】以上説明したように本発明は、間引き画素の周辺の画素パターンから画素の論理情報ができるだけ欠落しないように二つの間引き対象画素列から選択的に間引き画素を切り換えて縮小することにより、野線のよ

うな細線の欠落や細かい文字などのつぶれを抑えることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本実施例の動作説明のための画素パターンを示す図である。

【符号の説明】

- 11 LM1~3 (ラインメモリ)
- 12 PM1 (第1のパターンマッチング回路)
- 13 VRC (垂直方向縮小回路)
- 14 DS1 (第1のセレクト回路)
- 21 D1~D3 (画素遅延回路)
- 22 PM2 (第2のパターンマッチング回路)
- 23 HRC (水平方向縮小回路)
- 24 DS2 (第2のセレクト回路)
- a 入力画素列 (iライン)
- b 入力画素列 (i-1ライン)
- c 入力画素列 (i-2ライン)
- d 入力画素列 (i-3ライン)
- e 入力イネーブル信号
- f 入力画素転送クロック
- g 画素切替信号 (副走査方向)
- h 画素選択信号 (副走査方向)
- m 副走査縮小画素列 (入力i番目画素)
- n 入力画素 (i-1番目画素)
- p 入力画素 (i-2番目画素)
- q 入力画素 (i-3番目画素)
- r 画素切替信号 (主走査方向)
- s 画素選択信号 (主走査方向)
- i 縮小画素出力
- u 出力イネーブル信号
- x 出力画素転送クロック

特開平6-78136

(4)

【図1】

